

数据驱动片内多核通信结构

王 镇², 毕 卓^{1,2}

(1 上海大学 机电工程与自动化学院自动化系, 上海 200072; 2 上海大学 微电子研究与开发中心, 上海 200072)

摘 要: 针对当前条件下多核处理器遇到的通信瓶颈问题, 设计了一种采用数据驱动机制的片内多核通信结构, 该结构包括数据驱动模块和片上路由器。数据驱动模块用来进行数据完备性检测; 片上路由器则实现处理器核间的通信及“簇”间通信。在 Altera 公司的 CycloneIII 开发板上使用 NIOS 软核构建了多核系统进行了验证。实验结果表明, 本设计可以有效的实现多核片内通信, 具有很好的可扩展性。

关键词: 数据驱动; 片上路由器; 多核通信

中图分类号: TN402

文献标识码: A

文章编号: 1000-7180(2013)09-0058-04

Multi-core Communication Based on Data Driven

WANG Zhen², BI Zhuo^{1,2}

(1 School of Mechatronic Engineering and Automation, Shanghai University, Shanghai 200072, China;

2 Microelectronics R&D Center, Shanghai University, Shanghai 200072, China)

Abstract: For the bottleneck of multi-core communication in current technology, this paper presents a multi-core communication based on data driven. This architecture consists of Data Driven Module (DDM) and On-chip Router. DDM checks the data completeness of a procedure while On-chip Router provides communication between processor cores or “clusters”. This architecture has been verified using the multi-core system constructed with the NIOS of Altera’s CycloneIII. The experiment results show that this architecture can make the communication efficiently and has a good scalability.

Key words: data-driven; on-chip router; multi-core communication

1 引言

多核处理器设计面临的核心问题之一是片内通信网络设计, 需要一个模块化、可扩展、灵活的、通信结构, 也称片上网络 (Networks on Chip, NoC)。其核心思想是将有线网络技术应用到片上互连的一种集成电路体系结构^[1], 有利于提高通信带宽、重用设计、解决全局同步的问题。

现有研究成果有 intel 公司 2011 年发布的用于 SCC (single-chip cloud computer) 单芯片云计算机中 48 个核的通信结构^[2]。斯坦福大学的 EBNOC (Elastic Buffer Networks on Chip)^[3] 及 MIT 的 Oblivious Routing^[4] 等。

文献[5]提出的一种重要的思路“缓存结构与应用片上网络联合研究 (cache hierarchy and interconnect must be studied together)”, 在此基础上我们认为片上网络尤其是片上路由器的结构应与数据同步机制共同研究。核心问题是低延迟通信网络和容忍较大通信时延的数据驱动策略。

本文将数据驱动机制与片上路由技术结合, 提出了采用数据驱动机制的片内多核通信结构, 用于工业控制、实时图像识别等专用处理器领域。

2 基本结构

如图 1 所示, 该通信结构由 8X8 片上路由器与数据驱动模块组成。路由器的 4 个端口分连接函数

驱动模块,另外4个端口用于扩展。

数据驱动模块与通用处理器相连,组成了一个多核处理器单元,称之为“簇”。以“簇”为基本单元再进行扩展就组成了一个处理器阵列。

数据驱动模块主要进行数据完备性检查,建立相应的函数标签,实现数据驱动机制。每个处理器在数据驱动的工作模式下,可以互不干扰的并行操作。

需要传递的数据将通过片上路由器通信。片上通信有两种模式:一种是“簇”内通信,即同“簇”的处理器核之间的数据交换;另一种是“簇”间,即先通过通信接口转发到不同的“簇”,然后再送给相应的处理器核。

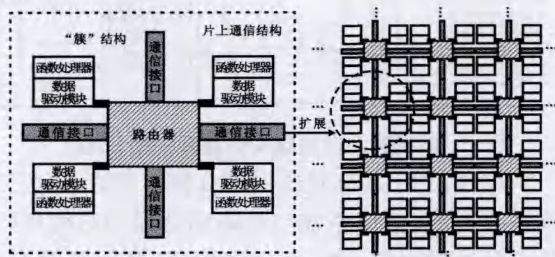


图1 通信网络结构及其扩展

2.1 数据驱动模块

数据驱动机制过程如图2所示,分为数据预处理、数据匹配与存储、数据驱动三阶段。数据预处理用来寄存有效数据包,取出有效数据包中的函数号、数据号、参数数据。数据匹配与存储是根据所取得的有效数据判断是否是所需要的操作数,如果是,则存储相关的有效数据如。如果不是,则直接丢弃。

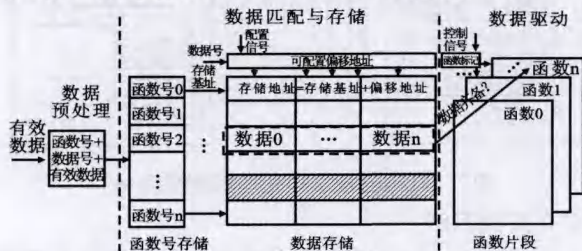


图2 数据驱动机制

存储所需的地址是根据有效数据中的函数号、数据号求得,以函数号为存储的基址,数据号为偏移地址。

如图3所示,数据驱动模块由通信队列、数据包处理模块、标签更新模块、参数存储模块及函数队列五部分组成。

通信队列由FIFO与寄存器构成,用于缓存由片上路由器发送的数据包,并由数据包处理模块控制数据包的接收与发送。

数据包处理模块的功能是控制通信队列,并提取出所传送数据包的函数号、数据号与有效数据。此模块主要由数据分段器、地址生成器、译码器、位扩展、寄存器组及逻辑门电路组成。

标签更新模块用于接收由数据包处理模块提取出的函数号标签信息,函数号所关联数据的完备性。由标签生成器、标签函数数据表寄存器及其他控制逻辑组成。如果这个函数所需的数据标签都有效,即该函数数据完备,则将对该函数号标签信息译码成该函数号,输出至函数队列。

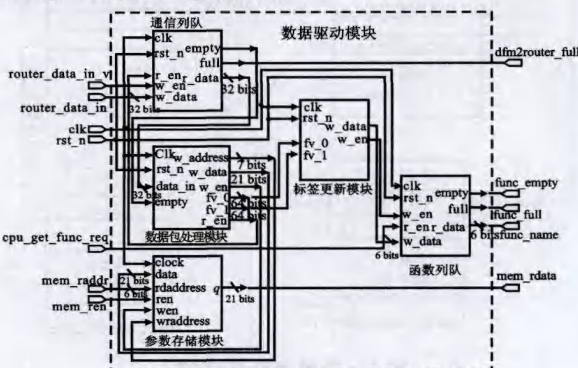


图3 数据驱动模块结构

2.2 片上路由器

片上路由器的功能是完成处理器核间的通信。总体架构如图4所示,由输入模块、调度器、输出模块组成,输入模块接收数据并发送请求信号给调度器,调度器根据请求信号仲裁出仲裁信号打开相应的通路,数据进入输出模块寄存输出。片上路由器的核心模块是输入模块和调度器。

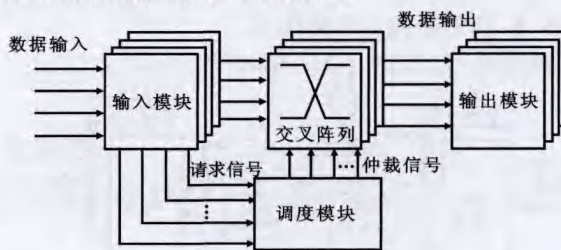


图4 片上路由器总体结构

2.2.1 输入模块

输入模块主要解决头阻塞问题。头阻塞是一种出现在缓存式通信网络交换中的现象。当在相同的输入端口上到达的包被指向不同的输出端口的时候就会出现头阻塞。解决头阻塞问题通常采用虚拟输出队列(Virtual Output Queue, VOQ),但是此方法没有充分利用存储空间,造成了资源的浪费。

文献[6]提出了一种链表结构的输入模块,充分利用了共享存储空间.此结构中,所有数据共享一个存储单元,但数据并不是简单的顺序存储,而是一种乱序存储.具体链表操作见图5,每个输出端口对应一个链表头与链表尾,并且有个共用的链表存储单元,链表单元中存储的是共享单元的地址,链表头指向此端口对应的数据存储在的链表存储单元的地址.

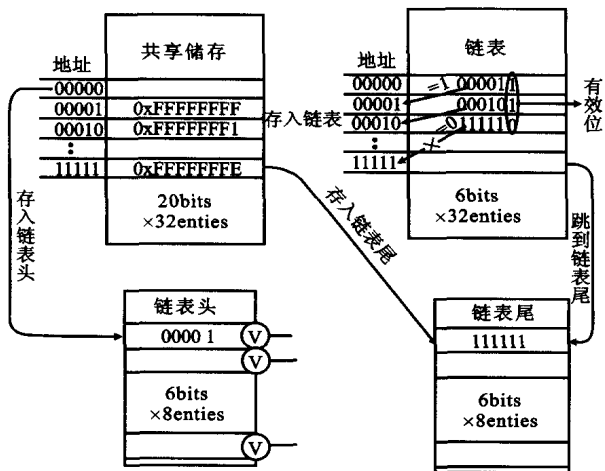


图5 链表操作示意图

2.2.2 调度器

调度模块采用了 iSLIP 算法,其基本单元是可变优先级轮询仲裁器,每个端口都有一个可变优先级轮询仲裁器.调度器结构如图6所示.由占用向量表、接收仲裁器、响应仲裁器、存储关系寄存器组成.占用向量表记录了所有需发送包的调度请求、存储关系寄存器记录了现在的队列优先级状态、响应仲裁器与接收仲裁器结构相同,主要包括优先编码控制器、指针更新控制电路组成.

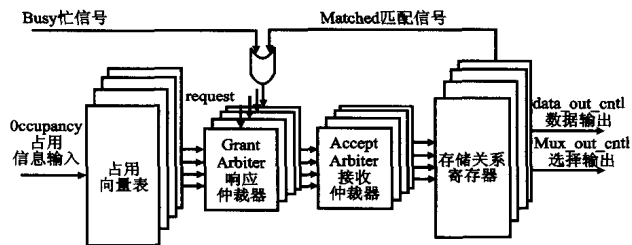


图6 调度器

3 性能对比

3.1 实验方案

实验的基本思路是将数据驱动机制的通信结构与两两配对的队列(FIFO)通信结构进行性能实测对比.实验平台在 Altera 公司的 EP3C55F484C8 芯片上,利用 NIOS II 处理器核构建相应原型.受限于片上资源,两种模型最多均构建了三核系统.

数据驱动通信结构处理器模型,如图7所示.此模型中核间通信是通过片上路由器实现的,每个核都有自己的片上存储器、JTAG(Joint Test Action Group)、计时器[7].

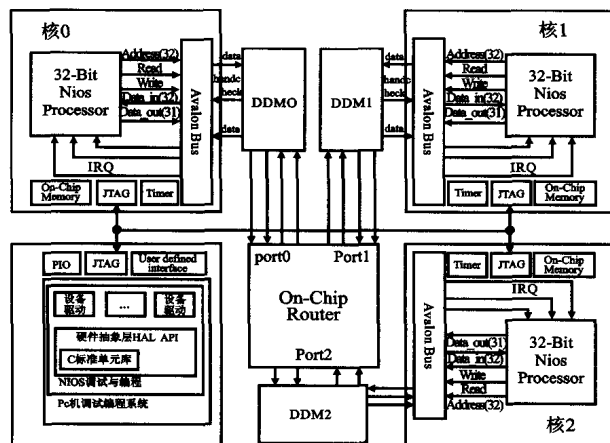


图7 数据驱动通信结构处理器模型(3核)

队列通信结构处理器模型如图8所示.由三个单核系统构成,单核系统与数据驱动通信结构相同,但是核间通信用队列实现.每两个核之间需两个队列.

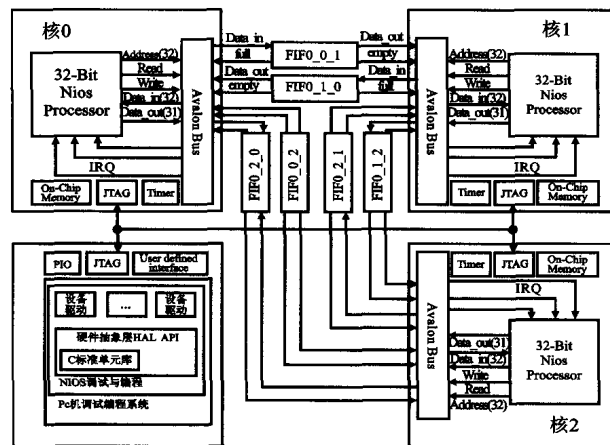


图8 队列通信结构处理器模型(3核)

3.2 实验方法

实验方法是在多核处理器平台上移植并行算法程序,使用硬件计时器记录此程序运行时间,通过对比程序在多核与单核上的运行时间,比较出加速比,间接得到通信时间比例及其对性能的影响,从而得到片内多核通信结构的通信能力.

测试算法使用了经典算法 BBP 算法、并行求和与取最大值算法对运行时间进行了测试.

3.3 实验结果与分析

表1对数据驱动模块、片上路由器及数据驱动通信结构多处理器模型与队列通信结构处理器模型占用的逻辑单元,功耗进行了统计.

表1 资源消耗与功耗对比

	LE/55856	Power (mW)
数据驱动模块	1366(2%)	113.69
片上路由器	8271(15%)	133.18
数据驱动通信结构处理器模型(2核)	15595(28%)	374.06
数据驱动通信结构处理器模型(3核)	19235(34%)	392.63
FIFO通信结构处理器模型(2核)	3714(7%)	115.09
FIFO通信结构处理器模型(3核)	6395(11%)	115.81

由表1数据可知,相比于队列通信结构,数据驱动通信结构所使用的LE更多,功耗更大.原因队列通信结构是内部自带的IP核,而不是由LE综合而来的.

由实验结果可以得到以下结论:

(1)数据驱动结构与队列通信结构都具有良好的通信能力.

(2)数据驱动通信结构可扩展性优势明显.队列通信结构队列的个数与处理器核的平方成正比,扩展代价会很大.数据驱动结构的优势是可扩展性好如16个处理器核采用队列结构需要256组队列,而采用本文结构只需要4个簇.

(3)大任务量时,数据驱动通信结构与队列通信结构性能相当.

综上所述,数据驱动通信结构比队列通信结构更适合于片内多核通信^[8-9].

4 结束语

本文提出采用数据驱动机制的片内多核通信结构,并在FPGA构建了数据驱动机制多核处理器模型.实验证明,此通信结构具有良好的通信能力与可扩展性.

参考文献:

- [1] Benini L, De Micheli G. Networks on chips: a new SoC paradigm[J]. IEEE Computer, 2002, 35(1): 70-78.
- [2] Praveen Salihundam, Shailendra Jain. A 2Tb/s 6X4 mesh network for a single-chip cloud computer with

DVFS in 45nm CMOS[J]. IEEE Journal of Solid-State Circuits, 2011, 46(4): 757-766.

- [3] George Michelogiannakis, James Balfour, William J Dally. Stanford university concurrent VLSI architecture memo 124 elastic buffer networks—on—chip[D]. Concurrent VLSI Architecture Group, Computer Systems Laboratory, Stanford University, Stanford, CA 94305.
- [4] Myong Hyon Cho, Mieszko Lis. Oblivious routing in on—chip bandwidth—adaptive networks[C]// Computer Science and Artificial Intelligence Laboratory, Massachusetts Institute of Technology, PACT 2009. Raleigh, 2006: 181-190.
- [5] Daniel Sanchez, George Michelogiannakis, Christos Kozyrakis/ An analysis of on—chip interconnection networks for large—scale chip multiprocessors[J]. ACM Transactions on Architecture and Code Optimization (TACO), 2010, 7(1): 1-28.
- [6] John D Pape. Implementation of an on—chip interconnect using the i—SLIP scheduling algorithm[D]. Austin: Univeristy of Texas, 2006.
- [7] Arandi S, Evripidou P. Proguamming, multi-core architectures using data-flow techniques[C]// 2010 International Conference on EWmbedded Computer Systems. Samos, 2010: 152-161.
- [8] Simoneau W, Sendag R. An FPGA-based multi-core platform for testing and analysis of architectural techniques[C]// 2012 IEEE International Symposium on Performance Analysis of Systems and Software (ISPASS). New Brunswick, NJ, 2012: 68-77.
- [9] Tai T, Yu-Kwong. On the design of an SoPC bases multi-core embedded system[C]// International Conference on Complex, Intelligent and Software Intensive Systems, 2008. CISIS 2008. Barcelona, 621-626.

作者简介:

王 镇 男, (1987—), 硕士研究生. 研究方向为多核微处理器及片上路由器.

毕 卓 男, (1979—), 博士, 讲师. 研究方向为微处理器设计及高性能数字电路设计.